

07jan99 19:17:28 User215358 Session D3315.1

File 347:JAPIO Oct 1976-1998/Sep.(UPDATED 981229)  
(c) 1998 JPO & JAPIO

Set Items Description

--- ----

?s e3

S1 1 PN="3053778"

?t 1/5/1

1/5/1

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

03390878

HIGH EFFICIENCY CODING DEVICE

PUB. NO.: 03-053778 [J P 3053778 A]

PUBLISHED: March 07, 1991 (19910307)

INVENTOR(s): KONDO TETSUJIRO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 01-189886 [JP 89189886]

FILED: July 21, 1989 (19890721)

INTL CLASS: [5] H04N-007/13

JAPIO CLASS: 44.6 (COMMUNICATION -- Television)

JOURNAL: Section: E, Section No. 1070, Vol. 15, No. 200, Pg. 96, May  
22, 1991 (19910522)

#### ABSTRACT

PURPOSE: To prevent generation of block distortion due to ringing or impulse noise or the like by detecting a mean value of picture element data included respectively in a maximum level range and a minimum level range, using the mean value as maximum and minimum values newly to apply quantization for edge matching.

CONSTITUTION: Output signals of AND gates 10, 11 are fed respectively to averaging circuits 12, 13. A mean value MAX' of a picture element data belonging to a maximum level range of (MAX-MAX-.delta.) is obtained from the averaging circuit 12 and a mean value MIN' of a picture element data belonging to a minimum level range of (MIN-MIN-.delta.) is obtained from the averaging circuit 13. A mean value MIN' is subtracted from the mean

value MAX' at a subtraction circuit 15 and a dynamic range DR' is obtained therefrom. Then data PD 1 after the elimination of the minimum value and a corrected DR' are fed to a quantizing circuit 18 to apply edge matching quantization. Thus, a difference between a decoding level and that of an adjacent block is less and generation of block distortion is prevented.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-53778

⑬ Int. Cl.

H 04 N 7/13

識別記号

Z

庁内整理番号

6957-5C

⑭ 公開 平成3年(1991)3月7日

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 高能率符号化装置

⑯ 特 願 平1-189886

⑰ 出 願 平1(1989)7月21日

⑱ 発 明 者 近 藤 哲 二 郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑳ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

高能率符号化装置

2. 特許請求の範囲

デジタル画像信号の2次元ブロック又は時間的に連続するNフレームの夫々に属するN個の領域からなるブロック内に含まれる複数の画素データの最大値及び最小値を求める手段と、

上記最大値及び上記最小値の夫々から所定レベルの範囲に存在する画素を抽出する手段と、

上記最大値から所定レベル範囲に含まれる入力画像データの第1の平均値及び上記最小値から所定レベル範囲に含まれる入力画像データの第2の平均値を形成する手段と、

上記第1の平均値及び上記第2の平均値の差からダイナミックレンジを算出する手段と、

上記ダイナミックレンジに基づいて所定期間における発生情報量を演算し、上記発生情報量が所定データ量内におさまるように、各ブロックの割り当てビット数を設定するためのしきい値を制御

し、上記しきい値と各ブロックの上記ダイナミックレンジとの比較出力によって各ブロックの上記割り当てビット数を設定する手段と、

上記入力画像信号から上記第2の平均値を計算する手段と、

上記演算手段の出力を上記割り当てビット数をもってエッジマッチング量子化する手段とを有する高能率符号化装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、デジタルテレビジョン信号等の画像データの1画素当たりのビット数を圧縮するための高能率符号化装置に関する。

(発明の概要)

この発明では、デジタル画像信号の2次元ブロック又は時間的に連続するNフレームの夫々に属するN個の領域からなるブロック内に含まれる複数の画素データの最大値及び最小値を求める回路と、最大値及び最小値の夫々から所定レベルの

範囲に存在する画素を抽出する回路と、最大値から所定レベル範囲に含まれる入力画像データの第1の平均値及び最小値から所定レベル範囲に含まれる入力画像データの第2の平均値を形成する回路と、第1の平均値及び第2の平均値の差からダイナミックレンジを算出する回路と、ダイナミックレンジに基づいて所定期間における発生情報量を演算し、発生情報量が所定データ量内におさまるように、各ブロックの割り当てビット数を設定するためのしきい値を制御し、しきい値と各ブロックのダイナミックレンジとの比較出力によって各ブロックの割り当てビット数を設定する回路と、入力画像信号から第2の平均値を減算する減算回路と、減算回路の出力を割り当てビット数をもってエッジマッチング量子化する回路とからなり、

リングング、インパルスノイズによるブロック歪の発生を防止できると共に、可変長ADRCにより発生する情報量の制御を正しく行うことができる。

第7図は、先に提案されているダイナミックレンジに適合した符号化方法(ADRCと称する)の説明に用いるものである。ダイナミックレンジDR(最大値MAXと最小値MINの差)が例えば(8ライン×8画素=64画素)からなる2次元のブロック毎に算出される。また、入力画素データからそのブロック内で最小のレベル(最小値)が除去される。この最小値除去後の画素データが代表レベルに変換される。この量子化は、元の量子化ビット数より少ないビット数例えば2ビットと対応する4個のレベル範囲A0~A3に検出されたダイナミックレンジDRを分割し、ブロック内の各画素データが属するレベル範囲を検出し、このレベル範囲を示すコード信号を発生する処理である。

第7図では、ブロックのダイナミックレンジDRが4個のレベル範囲A0~A3に分割されている。最小のレベル範囲A0に含まれる画素データが(00)と符号化され、レベル範囲A1に含まれる画素データが(01)と符号化され、レベル

(従来の技術)

ビデオ信号の符号化方法として、伝送帯域を狭くする目的をもって、1画素当たりの平均ビット数又はサンプリング周波数を小さくするいくつかの高効率符号化方法が知られている。

本願出願人は、特願昭59-266407号明細書に記載されているような、2次元ブロック内に含まれる複数画素の最大値及び最小値により規定されるダイナミックレンジを求め、このダイナミックレンジに適合した符号化を行う高効率符号化装置を提案している。また、特願昭60-232789号明細書に記載されているように、複数フレームに夫々含まれる領域の画素から形成された3次元ブロックに関してダイナミックレンジに適合した符号化を行う高効率符号化装置が提案されている。更に、特願昭60-268817号明細書に記載されているように、量子化を行った時に生じる最大歪が一定となるようなダイナミックレンジに応じてビット数に変換する可変長符号化方法が提案されている。

範囲A2に含まれる画素データが(10)と符号化され、最大のレベル範囲A3に含まれる画素データが(11)と符号化される。従って、各画素の8ビットのデータが2ビットに圧縮されて伝送される。

受信側では、受信されたコード信号が代表レベルL0~L3に復元される。この代表レベルL0~L3は、レベル範囲A0~A3の夫々の中央のレベルである。

上述のダイナミックレンジに適合した符号化方法は、リングング、インパルス性の雑音によってブロック歪が発生する問題があった。第8図はブロック歪の発生を説明するための図である。第8図では、説明の簡単のため、1次元ブロック即ち、水平方向の所定数のサンプルにより形成されたブロックについてのデータの変化がアナログ波形として表されており、受信側の復元値が破線で示されている。

ビデオカメラの撮像出力には、第8図に示すように、レベル変化が急峻なエッジ付近で小レベル

のリングングが発生していることが多い。このリングングが含まれるブロックでは、リングングのピーク値が最大値MAX1として検出され、最小値MIN1とで決定されるダイナミックレンジDR1に適用して符号化がされる。次のブロックでは、リングングが集束しているために、最大値がMAX2で示すように下がり、最小値MIN2及び最大値MAX2で定まるダイナミックレンジDR2に適用して符号化がされる。従って、これらの二つのブロック間で輝度レベルの差が生じ、ブロック歪が発生する。インパルス性の雑音の場合にも同様の理由でブロック歪が発生する。上述のブロック歪の輝度レベルの差は小さいが、ある程度の面積を持つので、視覚的に目立つ問題があった。

上述のリングング、インパルス性のノイズによるブロック歪の発生の問題を解決するために、本願出願人は、特願昭61-202118号明細書に記載されているように、ブロック構造に変換された入力データに対し前処理を行う方式を提案し

ている。即ち、ダイナミックレンジをADRCの量子化ビット数で等分した時の最大レベル範囲(第7図におけるA3)に含まれる入力データの値の平均値MAX'と、最小のレベル範囲(第7図におけるA0)に含まれる入力データの平均値MIN'とを検出し、第9図に示すように、これらの平均値MAX'と平均値MIN'とを夫々復元レベルL3及びL0とするように量子化がされる。第7図に示すように、代表レベルL0~L3が最大値MAX及び最小値MINを含まず、各レベル範囲の中央値とされる量子化は、ノンエッジマッチングと称され、第9図に示すように、平均値MAX'及びMIN'を含む量子化は、エッジマッチングと称される。

上述のノンエッジマッチングで前処理して、エッジマッチングで量子化するADRCは、第8図において、リングングが含まれているブロックでも、最大値がリングングのピークではなく、平均値MAX'に変えられ、同様に最小値がMIN'に変えられる。このMAX'及びMIN'で定ま

る修整されたダイナミックレンジDR'の中でエッジマッチングの量子化がされるので、復元レベルが隣接ブロックの復元レベルと差が少なくなり、ブロック歪の発生が防止される。

上述のダイナミックレンジに適用したADRC符号化は、伝送すべきデータ量を大幅に圧縮できるので、デジタルVTRに適用して好適である。特に、可変長ADRCは、圧縮率を高くすることができる。しかし、可変長ADRCは、伝送データの量が画像の内容によって変動するため、所定量のデータを1トラックとして記録するデジタルVTRのような固定レート of 伝送路を使用する時には、バッファリングの処理が必要とされる。

可変長ADRCのバッファリングの方式として、本願出願人は、特願昭61-257586号明細書に記載されているように、累積型のダイナミックレンジの度数分布を形成し、この度数分布に対して、予め用意されている割り当てビット数を定めるためのしきい値を適用し、所定期間例えば1フレーム期間の発生データ量を求め、発生データ

量が目標値を超えないように、制御するものを提案している。

#### (発明が解決しようとする課題)

上述のように、ノンエッジマッチング量子化で前処理を行い、次に、エッジマッチングで量子化を行うADRCに対して、可変長ADRCを適用した場合、元のダイナミックレンジDRに基づいて割り当てビット数を設定しても、受信側に対しては、ダイナミックレンジDR'が伝送されるために、両者のずれにより、問題が生じた。

即ち、発生情報量を制御するために、ダイナミックレンジDRの所定期間例えば1フレーム期間の度数分布表が形成され、この度数分布表が累積度数分布表に変換され、累積度数分布表に対してT1、T2、T3、T4 ( $T1 < T2 < T3 < T4$ ) のしきい値が適用される。(DR < T1) の場合には、割り当てビット数nが0とされ(即ち、量子化コードが伝送されず)、( $T1 \leq DR < T2$ ) の場合には、(n=1)とされ、( $T2 \leq D$

$R < T3$ ) の場合には、 $(n=2)$  とされ、 $(T3 \leq DR < T4)$  の場合には、 $(n=3)$  とされ、 $(T4 \leq DR)$  の場合には、 $(n=4)$  とされる。

前述のように、 $(MAX' - MIN' = DR')$  とされ、この修整されたダイナミックレンジ  $DR'$  に基づいて、量子化がされ、ダイナミックレンジ  $DR'$  が伝送される。あるブロックのダイナミックレンジに関して、 $(T2 \leq DR < T3)$  及び  $(T2 \leq DR' < T3)$  の関係が成立していれば、エンコード側では、 $(n=2)$  とされ、デコード側でも  $(n=2)$  となり、問題が生じない。しかし、 $(DR > DR')$  であるので、 $(T1 \leq DR' < T2)$  となった時には、デコード側では、 $(n=1)$  と誤って判断し、正しいデコード動作がされない問題が生じる。

従って、この発明の目的は、量子化に使用され、伝送されるダイナミックレンジとバッファリングの処理に使用されるダイナミックレンジとを一致させ、エンコード側とデコード側との不整合の発生を防止した高効率符号化装置を提供することに

における発生情報量を演算し、発生情報量が所定データ量内におさまるように、各ブロックの割り当てビット数  $n$  を設定するためのしきい値  $T1 \sim T4$  を制御し、しきい値  $T1 \sim T4$  と各ブロックのダイナミックレンジ  $DR'$  の比較出力によって各ブロックの割り当てビット数  $n$  を設定する回路 19、20、21 と、

入力画像信号から第2の平均値  $MIN'$  を減算する回路 16 と、

減算回路 16 の出力を割り当てビット数  $n$  でもってエッジマッチング量子化する回路 18 とを有する。

#### (作用)

テレビジョン信号は、水平方向、垂直方向並びに時間方向に関する3次元的な相関を有している。定常部では、同一のブロックに含まれる画素データのレベルの変化幅が小さい。従って、ブロック内の画素データが共有する最小レベルを除いた後のデータを元の量子化ビット数より少な

ある。

#### (課題を解決するための手段)

この発明は、デジタル画像信号の2次元ブロック又は時間的に連続するNフレームの夫々に関するN個の領域からなるブロック内に含まれる複数の画素データの最大値  $MAX$  及び最小値  $MIN$  を求める最大値、最小値検出回路 3 と、

最大値  $MAX$  及び最小値  $MIN$  の夫々から所定レベルの範囲に存在する画素を抽出する回路 5、6、7、8、9、10、11 と、

最大値  $MAX$  から所定レベル範囲に含まれる入力画像データの第1の平均値  $MAX'$  及び最小値  $MIN$  から所定レベル範囲に含まれる入力画像データの第2の平均値  $MIN'$  を形成する回路 12、13 と、

第1の平均値  $MAX'$  及び第2の平均値  $MIN'$  の差からダイナミックレンジ  $DR'$  を算出する回路 15 と、

ダイナミックレンジ  $DR'$  に基づいて所定期間

の量子化ビット数により量子化しても、量子化歪は、殆ど生じない。

また、最大値  $MAX$  と  $MAX$  から所定レベル低い値で規定される最大レベル範囲及び最小値  $MIN$  と  $MIN$  から所定レベル高い値で規定される最小レベル範囲に夫々含まれる画素データの平均値  $MAX'$  及び  $MIN'$  を検出し、この平均値を新たに最大値及び最小値としてエッジマッチングの量子化を行うことにより、リンギング、インパルス雑音等によりブロック歪が発生することが防止される。

発生情報量の演算と、発生情報量を所定量以下とするためのしきい値  $T1 \sim T4$  の設定は、エッジマッチングの処理に使用されるダイナミックレンジ  $DR'$  に基づいてなされるので、エンコード側とデコード側との間で不整合が生じることが防止される。

#### (実施例)

以下、この発明の実施例について図面を参照し

て説明する。この説明は、下記の順序に従ってなされる。

- a. 送信側の構成
- b. 受信側の構成
- c. バッファリング回路
- d. 変形例

#### a. 送信側の構成

第1図は、この発明の送信側（記録側）の構成を全体として示すものである。1で示す入力端子に例えば1サンプルが8ビットに量子化されたデジタルビデオ信号（デジタル輝度信号）が入力される。このデジタルビデオ信号がブロック化回路2に供給される。

ブロック化回路2により、入力デジタルビデオ信号が符号化の単位である2次元ブロック毎に連続する信号に変換される。この実施例では、1ブロックが第2図に示すように、（8ライン×8画素=64画素）の大きさとされている。ブロック化回路2の出力信号が最大値、最小値検出回路

3及び遅延回路4に供給される。最大値、最小値検出回路3は、ブロック毎に最小値MIN、最大値MAXを検出する。遅延回路4は、最大値及び最小値が検出されるのに要する時間、入力データを遅延させる。遅延回路4からの画素データが比較回路5及び比較回路6に供給される。

最大値、最小値検出回路3からの最大値MAXが減算回路7に供給され、最小値MINが加算回路8に供給される。これらの減算回路7及び加算回路8には、ビットシフト回路9から4ビット固定長でノンエッジマッチング量子化をした場合の1量子化ステップ幅の値（ $\Delta=1/16DR$ ）が供給される。ビットシフト回路9は、（1/16）の割算を行うように、ダイナミックレンジDRを4ビットシフトする構成とされている。減算回路7からは、（MAX- $\Delta$ ）のしきい値が得られ、加算回路8からは、（MIN+ $\Delta$ ）のしきい値が得られる。これらの減算回路7及び加算回路8からのしきい値が比較回路5及び6に夫々供給される。

なお、このしきい値を規定する値 $\Delta$ は、量子化

ステップ幅に限らず、ノイズレベルに相当する固定値としても良い。

比較回路5の出力信号がANDゲート10に供給され、比較回路6の出力信号がANDゲート11に供給される。ANDゲート10及び11には、遅延回路4からの入力データが供給される。比較回路5の出力信号は、入力データがしきい値より大きい時にハイレベルとなり、従って、ANDゲート10の出力端子には、（MAX~MAX- $\Delta$ ）の最大レベル範囲に含まれる入力データの画素データが抽出される。比較回路6の出力信号は、入力データがしきい値より小さい時にハイレベルとなり、従って、ANDゲート11の出力端子には、（MIN~MIN+ $\Delta$ ）の最小レベル範囲に含まれる入力データの画素データが抽出される。

ANDゲート10の出力信号が平均化回路12に供給され、ANDゲート11の出力信号が平均化回路13に供給される。これらの平均化回路12及び13は、ブロック毎に平均値を算出するもので、端子14からブロック周期のリセット信号

が平均化回路12及び13に供給されている。平均化回路12からは、（MAX~MAX- $\Delta$ ）の最大レベル範囲に属する画素データの平均値MAX'が得られ、平均化回路13からは、（MIN~MIN+ $\Delta$ ）の最小レベル範囲に属する画素データの平均値MIN'が得られる。平均値MAX'から平均値MIN'が減算回路15で減算され、減算回路15からダイナミックレンジDR'が得られる。

また、平均値MIN'が減算回路16に供給され、遅延回路17を介された入力データから平均値MIN'が減算回路16において減算され、最小値除去後のデータPDIが形成される。このデータPDI及び修整されたダイナミックレンジDR'が量子化回路18に供給される。この実施例では、量子化に割り当てられるビット数nが0ビット（コード信号を伝送しない）、1ビット、2ビット、3ビット、4ビットの何れかとされる可変長のADRCであって、エッジマッチング量子化がなされる。割り当てビット数nは、ブロック

毎にビット数決定回路19において決定され、ビット数 $n$ のデータが量子化回路18に供給される。

可変長ADRCは、ダイナミックレンジ $DR'$ が小さいブロックでは、割り当てビット数 $n$ を少なくし、ダイナミックレンジ $DR'$ が大きいブロックでは、割り当てビット数 $n$ を多くすることで、効率の良い符号化を行うことができる。即ち、ビット数 $n$ を決定する際のしきい値を $T1 \sim T4$  ( $T1 < T2 < T3 < T4$ ) とすると、( $DR' < T1$ ) のブロックは、コード信号が伝送されず、ダイナミックレンジ $DR'$ の情報のみが伝送され、( $T1 \leq DR' < T2$ ) のブロックは、( $n=1$ ) とされ、( $T2 \leq DR' < T3$ ) のブロックは、( $n=2$ ) とされ、( $T3 \leq DR' < T4$ ) のブロックは、( $n=3$ ) とされ、( $DR' \geq T4$ ) のブロックは、( $n=4$ ) とされる。

かかる可変長ADRCでは、しきい値 $T1 \sim T4$ を変えることで、発生情報量を制御すること(所謂バッファリング)ができる。従って、1フィールド或いは1フレーム当たりの発生情報量を

所定値にすることが要求される伝送路例えばディジタルVTRに対しても、可変長ADRCを適用できる。

第1図において、20は、発生情報量を所定値にするためのしきい値 $T1 \sim T4$ を決定するバッファリング回路を示す。バッファリング回路20では、後述のように、しきい値の組( $T1$ 、 $T2$ 、 $T3$ 、 $T4$ )が複数例えば32組用意されており、これらのしきい値の組がパラメータコード $Pi$  ( $i=0, 1, 2, \dots, 31$ )により区別される。パラメータコード $Pi$ の番号 $i$ が大きくなるに従って、発生情報量が単調に減少するように、設定されている。但し、発生情報量が減少するに従って復元画像の画質が劣化する。

バッファリング回路20からのしきい値 $T1 \sim T4$ が比較回路21に供給され、遅延回路22を介されたダイナミックレンジ $DR'$ が比較回路21に供給される。遅延回路22は、バッファリング回路20でしきい値の組が決定されるのに要する時間、 $DR'$ を遅延させる。比較回路21では、

ブロックのダイナミックレンジ $DR'$ と各しきい値とが夫々比較され、比較出力がビット数決定回路19に供給され、そのブロックの割り当てビット数 $n$ が決定される。量子化回路18では、ダイナミックレンジ $DR'$ と割り当てビット数 $n$ とを用いて遅延回路23を介された最小値除去後のデータ $PDI$ がエッジマッチングの量子化によりコード信号 $DT$ に変換される。量子化回路18は、例えばROMで構成されている。

遅延回路22及び24を夫々介して修整されたダイナミックレンジ $DR'$ 、平均値 $MIN'$ がフレーム化回路25に供給され、また、コード信号 $DT$ 及びしきい値の組を示すパラメータコード $Pi$ がフレーム化回路25に供給される。フレーム化回路25の出力端子26には、シリアルデータに変換された伝送データが取り出される。フレーム化回路25では、必要に応じてエラー訂正符号の符号化が施されると共に、同期信号が付加される。

#### b. 受信側の構成

第3図は、受信(又は再生)側の構成を示す。入力端子31からの受信データは、フレーム分解回路32に供給される。フレーム分解回路32により、コード信号 $DT$ と付加コード $DR'$ 、 $MIN'$ 、 $Pi$ とが分離されると共に、エラー訂正処理がなされる。

コード信号 $DT$ が復号化回路33に供給され、パラメータコード $Pi$ 及びダイナミックレンジ $DR'$ が復号化回路33に供給される。また、平均値 $MIN'$ が加算回路34に供給される。加算回路34には、復号化回路33の出力信号が供給され、加算回路34の出力信号がブロック分解回路35に供給される。復号化回路33は、送信側の量子化回路18の処理と逆の処理を行う。即ち、コード信号 $DT$ が代表レベルに復号され、このデータと8ビットの平均値 $MIN'$ とが加算回路34により加算され、元の画素データが復号される。復号化回路33では、パラメータコード $Pi$ で示されるブロックの割り当てビット数 $n$ を使用して復号を行う。



加算回路34の出力信号がブロック分解回路35に供給される。ブロック分解回路35は、送信側のブロック化回路2と逆に、ブロックの順番の復元データをテレビジョン信号の走査と同様の順番に変換するための回路である。ブロック分解回路35の出力端子36に復号されたビデオ信号が得られる。

#### c. バッファリング回路

第4図は、バッファリング回路20の一例を示す。バッファリング回路20には、度数分布表及び累積度数分布表を作成するために、41で示すメモリ(RAM)が設けられ、このメモリ41に対してマルチプレクサ42を介してアドレスが供給される。マルチプレクサ42の一方の入力として入力端子43からダイナミックレンジDR'が供給され、その他方の入力としてアドレス発生回路50からのアドレスが供給される。メモリ41には、加算回路44の出力信号が入力され、メモリ41の出力データとマルチプレクサ45の出力とが加算回路44で加算される。

第5図は、バッファリング回路20の動作を示すフローチャートである。最初のステップ61で、メモリ41、レジスタ46がゼロクリアされる。メモリ41のゼロクリアのために、マルチプレクサ42がアドレス発生回路50で発生したアドレスを選択し、加算回路44の出力が常に0とされる。アドレスは、(0, 1, 2, ..., 255)と変化し、メモリ41の全てのアドレスに0データが書き込まれる。

次のステップ62で、メモリ41にバッファリングのされる単位期間である1フレームのダイナミックレンジDR'の度数分布表が作成される。マルチプレクサ42は、端子43からのダイナミックレンジDR'を選択し、マルチプレクサ45が+1を選択する。従って、1フレーム期間が終了した時、ダイナミックレンジDR'と対応するメモリ41の各アドレスに、各DR'の発生度数が記憶される。このメモリ41の度数分布表は、第6図Aに示すように、DR'を横軸とし、度数を縦軸とするものである。

加算回路44の出力がレジスタ46に供給され、レジスタ46の出力がマルチプレクサ45及び比較回路47に供給される。マルチプレクサ45には、レジスタ46の出力の他に0及び+1が供給されている。発生情報量の演算動作がされると、レジスタ46の出力に例えば1フレーム期間に発生する情報量A1が求められる。

比較回路47では、発生情報量A1と端子48からの目標値Qとが比較され、比較回路47の出力信号がパラメータコード発生回路49及びレジスタ51に供給される。パラメータコード発生回路49からのパラメータコードP1がアドレス発生回路50及びレジスタ51に供給される。レジスタ51に取り込まれたパラメータコードP1が前述のようにフレーム化回路25に供給されると共に、ROM52に供給される。ROM52は、アドレスとして入力されたパラメータコードP1と対応するしきい値の組(T1i, T2i, T3i, T4i)を発生する。このしきい値は、前述のように、比較回路21に供給される。

次に、度数分布表が累積度数分布表に変換される(ステップ63)。累積度数分布表を作成する時には、マルチプレクサ42がアドレス発生回路50からのアドレスを選択し、マルチプレクサ45がレジスタ46の出力を選択する。アドレスが255から0に向かって順次ディクレメントする。メモリ41の読み出し出力が加算回路44に供給され、加算回路44でレジスタ46の内容と加算される。加算回路44の出力がメモリ41の読み出しアドレスと同一のアドレスに書き込まれると共に、レジスタ46の内容が加算回路44の出力に更新される。メモリ41のアドレスが255とされる初期状態では、レジスタ46がゼロクリアされている。メモリ41の全アドレスに関して、度数が累積がされた時に、メモリ41には、第6図Bに示す累積度数分布表が作成される。

この累積度数分布表に対してしきい値の組(T1i, T2i, T3i, T4i)が適用された時の発生情報量A1が演算される(ステップ64)。発生情報量A1の演算時には、マルチプレクサ4

2がアドレス発生回路50の出力を選択し、マルチプレクサ45がレジスタ46の出力を選択する。パラメータコード発生回路49は、P0からP31に向かって順次変化するパラメータコードを発生する。パラメータコードP1がアドレス発生回路50に供給され、(T11、T21、T31、T41)の各しきい値と対応するアドレスが順次発生する。各しきい値と対応するアドレスから読み出された値が加算回路44とレジスタ46とで累算される。この累積値がパラメータコードP1で指定されるしきい値の組が適用された時の発生情報量A1と対応している。つまり、第6図Bに示す累積度数分布表において、しきい値T1、T2、T3、T4と夫々対応するアドレスから読み出された値A1、A2、A3、A4の合計値(A1+A2+A3+A4)に対して、ブロック内の西素数(64)を乗じた値は、発生情報量(ビット数)である。但し、西素数は、一定であるため、第4図に示されるバッファリング回路20では、64の乗算処理を省略している。

る。しかし、付加コードとしてダイナミックレンジDR'の代わりに平均値MAX'または量子化ステップ幅を伝送しても良い。

#### (発明の効果)

この発明に依れば、リングング、インパルス性のノイズ等を含むブロックにおけるブロック歪の発生を防止できる。この発明では、可変長ADRCにより効率良く符号化を行うことができ、発生情報量の制御と量子化とに使用されるダイナミックレンジが同じであるために、割り当てビット数nを復号側で誤ったりする問題を生じない。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図、第2図はブロックの一例の略線図、第3図は受信側の構成の一例を示すブロック図、第4図はバッファリング回路の一例のブロック図、第5図及び第6図はバッファリング回路の説明に用いるフローチャート及び略線図、第7図、第8図及び第9図は量子化動作及びブロック歪の発生の説明に用い

この発生情報量A1が目標値Qと比較される(ステップ65)。(A1≤Q)が成立する時に発生する比較回路47の出力がパラメータコード発生回路49及びレジスタ51に供給され、パラメータコードP1のインクリメントが停止されると共に、そのパラメータコードP1がレジスタ51に取り込まれる。レジスタ51からのパラメータコードP1とROM52で発生したしきい値の組とが出力される(ステップ66)。

比較回路47における判定のステップ65で、(A1≤Q)が成立しない時には、パラメータコードP1が次のものP1+1に変更され、P1+1に対応するアドレスがアドレス発生回路50から発生する。上述と同様に発生情報量A1+1が演算され、比較回路47で目標値Qと比較される。(A1≤Q)が成立するまで、上述の動作が繰り返される。

#### d. 変形例

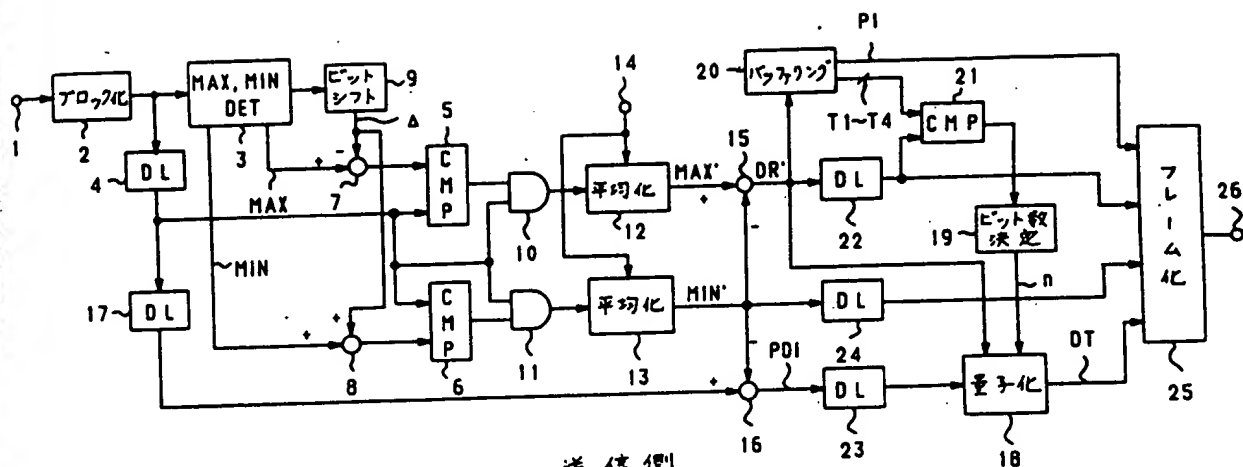
以上の説明では、コード信号DTとダイナミックレンジDR'と平均値MIN'を送信してい

る略線図である。

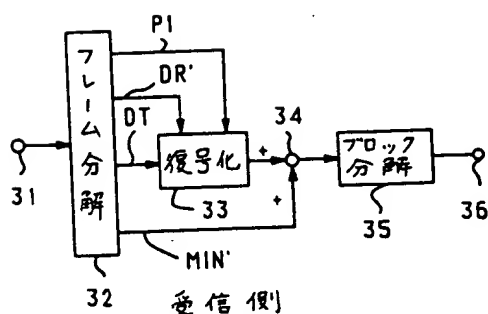
#### 図面における主要な符号の説明

- 1: 入力端子、
- 3: 最大値、最小値検出回路、
- 7: 減算回路、
- 8: 加算回路、
- 9: ビットシフト回路、
- 12、13: 平均化回路、
- 18: 量子化回路、
- 20: バッファリング回路、
- 25: フレーム化回路、
- 26: 出力端子。

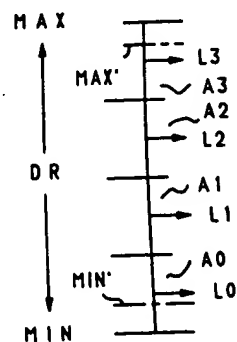
代理人 弁理士 杉 浦 正 知



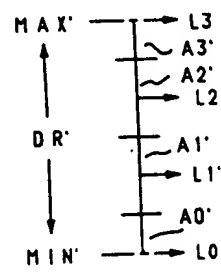
送信側  
第1図



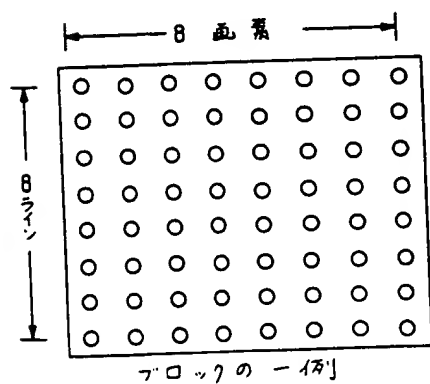
受信側  
第3図



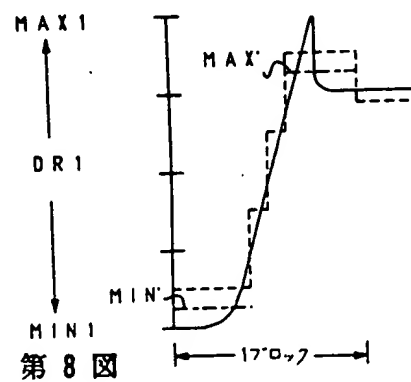
第7図



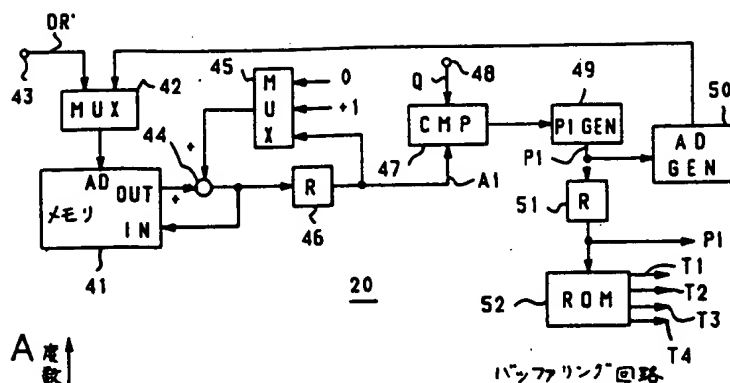
第9図



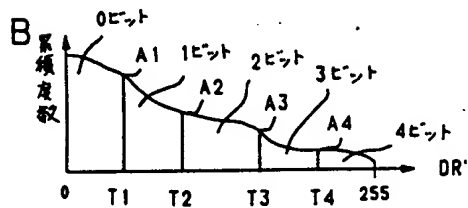
第2図



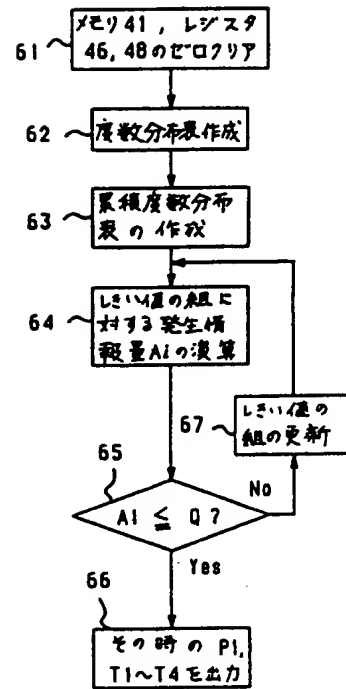
第8図



第4図



第6図



フローチャート  
第5図

## EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07147681  
PUBLICATION DATE : 06-06-95

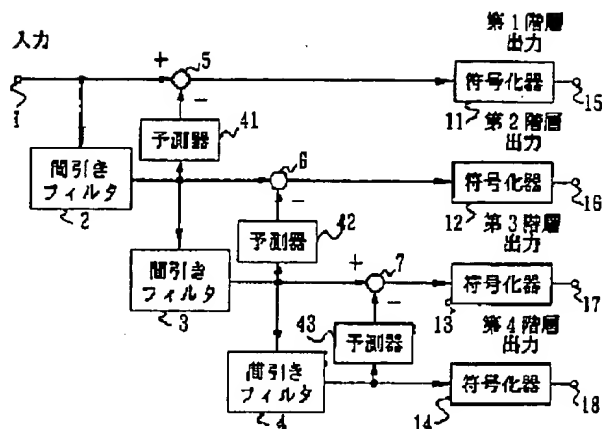
APPLICATION DATE : 05-07-94  
APPLICATION NUMBER : 06175971

APPLICANT : SONY CORP;

INVENTOR : NISHIKATA TAKEHARU;

INT.CL : H04N 7/32 G06T 9/00 H03M 7/36  
H04N 1/41

TITLE : HIERARCHICAL CODING/DECODING  
DEVICE FOR DIGITAL IMAGE SIGNAL



ABSTRACT : PURPOSE: To improve the compression efficiency for the transmission data quantity of the differential signal by reducing the value of the differential signal related to the image signal of a 1st class.

CONSTITUTION: The image signal of a 2nd class having 1/4 number of pixels is produced from the image signal of a 1st class through a thinning filter. The image signal of 2nd class having 1/16 number of pixels is produced by a thinning filter 3, and the image signal of a 4th class having 1/64 number of pixels is produced by a thinning filter 4 respectively. The image signal of the 4th class is transmitted together with the differential signals obtained by the subtractors 5-7. Each differential signal shows the difference between an original signal and an estimated signal. The estimated signals are produced by the estimators 41-43, and each estimator includes a mapping table acquired previously by learning. This mapping table prescribes the prediction coefficient, the predicted value or the normalized predicted value for each class corresponding to the pattern of the level distribution of plural reference pixels and can improve the accuracy of prediction.

COPYRIGHT: (C) JPO

**THIS PAGE BLANK (USPTO)**

(c) 1999 Cambridge Scientific Abs  
File 315:ChemEng & Biotec Abs 1970-1999/Dec  
(c)1999 RoySocChm,DECHEMA,FizChemie  
File 323:RAPRA Rubber & Plastics 1972-1999/Nov B2  
(c) 1999 RAPRA Technology Ltd  
File 335:Ceramic Abstracts 1976-1999/Q1  
(c) 1999 Cambridge Scientific Abs.  
File 434:SciSearch(R) Cited Ref Sci 1974-1989/Dec  
(c) 1998 Inst for Sci Info

Set Items Description

S1 39 ADAPTIVE()SUBSAMPLING/TI  
S2 4 S1/1995  
S3 3 RD (unique items)  
S4 1 S3 AND AU=CHANG?  
?t 4/3/1

4/3/1 (Item 1 from file: 8)  
DIALOG(R)File 8:Ei Compendex(R)  
(c) 1999 Engineering Info. Inc. All rts. reserv.

04242327 E.I. No: EIP95092844415

Title: Adaptive subsampling JPEG image coding  
Author: Chang, Ih-Hua ; Chang, Pao-Chi; Liu, Tsan-Shyong  
Corporate Source: Natl Central Univ, Chung-Li, Taiwan  
Conference Title: Proceedings of the 1995 IEEE International Conference  
on Consumer Electronics

Conference Location: Rosemont, IL, USA Conference Date:  
19950607-19950609

E.I. Conference No.: 43508

Source: Digest of Technical Papers - IEEE International Conference on  
Consumer Electronics 1995. IEEE, Piscataway, NJ, USA,95CH3571-9. p 264-265

Publication Year: 1995

CODEN: DTPEEL ISSN: 0747-668X

Language: English

**THIS PAGE BLANK (USPTO)**